

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-176167

(P2002-176167A)

(43) 公開日 平成14年6月21日 (2002.6.21)

(51) Int.Cl.

識別記号

F I

テ-71-ト (参考)

H 0 1 L 29/66

H 0 1 L 29/66

4 M 1 1 8

27/14

27/14

K 5 F 0 4 9

31/10

31/10

C

審査請求 未請求 請求項の数14 O L (全 12 頁)

(21) 出願番号

特願2000-374003(P2000-374003)

(71) 出願人 000004226

日本電信電話株式会社

東京都千代田区大手町二丁目3番1号

(22) 出願日

平成12年12月8日(2000.12.8)

(72) 発明者 藤原 聡

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(72) 発明者 ▲高▼橋 康夫

東京都千代田区大手町二丁目3番1号 日

本電信電話株式会社内

(74) 代理人 100064621

弁理士 山川 政樹

Fターム(参考) 4M118 AA10 AB10 BA30 DA40

5F049 MB03 NB03 NB05 RA02 RA08

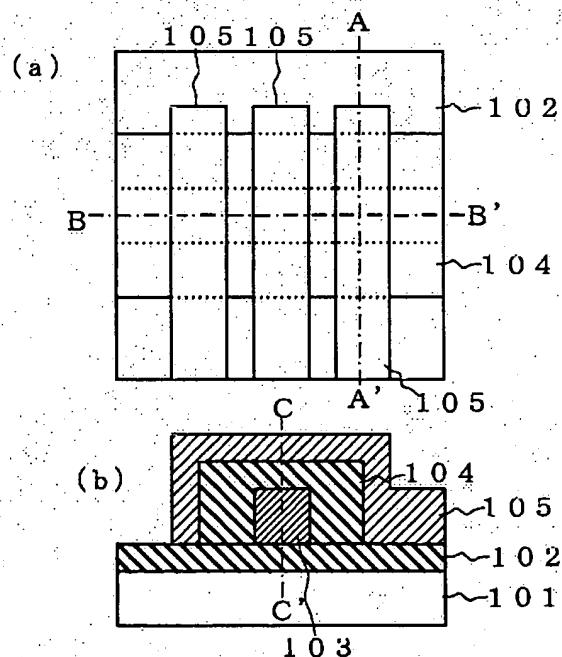
RA10 SZ10 UA20

(54) 【発明の名称】 単電子転送回路およびその制御方法

(57) 【要約】

【課題】 1個の電子または1個の正孔を転送し、また、1個の電子または1個の正孔の転送状態を容易に検出できる単電子転送回路を提供する。

【解決手段】 絶縁層102上において所定方向に延在する柱状の構造体であり、幅および高さが数nmから数10nmの範囲となっている半導体層103上に、ゲート絶縁膜104を介して複数のゲート電極105を、半導体層103の延在方向に配列する。ゲート電極105のゲート長および各々のゲート電極105の間隔は、数nm〜数100nm程度とする。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 基板上に形成された絶縁層と、

この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、

この半導体層の第1の側方より第1の電界をかける第1の電界印加手段と、

前記半導体層に第2の側方より前記第1の電界とは極性の異なる第2の電界をかける第2の電界印加手段とを備え、

少なくとも前記第2の電界印加手段は2つ以上備えられ、これらが前記半導体層の延在方向に配列されていることを特徴とする単電子転送回路。

【請求項2】 請求項1記載の単電子転送回路において、

前記半導体層の一部に、

他の領域より細く形成された単電子島と、

この単電子島の前記半導体層の延在方向の両端に配置されたトンネル障壁とを備え、

複数の前記第2の電界印加手段のいずれかが前記単電子島に前記第2の電界をかけるものであることを特徴とする単電子転送回路。

【請求項3】 請求項2記載の単電子転送回路において、前記単電子島の両端に配置されたトンネル障壁は、前記単電子島よりさらに細く形成されていることを特徴とする単電子転送回路。

【請求項4】 請求項1〜3いずれか1項に記載の単電子転送回路において、

前記基板は半導体から構成され、この基板が前記第1の電界印加手段であり、前記第2の電界印加手段は、前記半導体層上にゲート絶縁膜を介して配列された複数のゲート電極であることを特徴とする単電子転送回路。

【請求項5】 請求項1〜3いずれか1項に記載の単電子転送回路において、

前記第1の電界印加手段は、前記半導体層の一方の側面にゲート絶縁膜を介して配列された複数の第1のゲート電極であり、

前記第2の電界印加手段は、前記半導体層の他方の側面にゲート絶縁膜を介して前記第1のゲート電極に対向して配列された複数の第2のゲート電極であることを特徴とする単電子転送回路。

【請求項6】 第1の電圧が印加される半導体基板上に形成された絶縁層と、

この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、

この半導体層上にゲート絶縁膜を介して配列された複数のゲート電極とを備え、

前記複数のゲート電極いずれかは、前記第1の電圧と極性が異なる第2の電圧が印加されるものであることを特徴とする単電子転送回路。

【請求項7】 半導体基板上に形成された絶縁層と、

この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、

この半導体層の側面にゲート絶縁膜を介して配列された複数の第1のゲート電極と、

前記半導体層の他方の側面にゲート絶縁膜を介して前記第1のゲート電極に対向して配列された複数の第2のゲート電極とを備え、

前記第1のゲート電極と前記第2のゲート電極との対のいずれかには、互いに極性が異なる電圧が印加されるものであることを特徴とする単電子転送回路。

【請求項8】 請求項6または7記載の単電子転送回路において、

前記半導体層の一部に、

他の領域より細く形成された単電子島と、

この単電子島の前記半導体層の延在方向の両端に配置されたトンネル障壁と、

前記単電子島にゲート電圧を印加するための制御電極とを備えたことを特徴とする単電子転送回路。

【請求項9】 請求項8記載の単電子転送回路において、前記単電子島の両端に配置されたトンネル障壁は、前記単電子島よりさらに細く形成されていることを特徴とする単電子転送回路。

【請求項10】 請求項4記載の単電子転送回路において、

前記半導体層の一端に接続された第1の電極部と、

前記半導体層の他端に接続されて所定の電圧が印加される第2の電極部と、

前記半導体層上の前記第1の電極部の近くにゲート絶縁膜を介して形成された入力ゲート電極と、

前記半導体層上の前記第2の電極部の近くにゲート絶縁膜を介して形成された出力ゲート電極と、

前記半導体層上の前記入力ゲート電極と前記出力ゲート電極との間のゲート絶縁膜を介して配列された複数の転送ゲート電極と、

前記半導体層の前記出力ゲート電極とこの隣に配置された転送ゲート電極との間に接続された出力電極部とを備えたことを特徴とする単電子転送回路。

【請求項11】 請求項4記載の単電子転送回路において、

前記半導体層の側方に引き出された複数の分岐半導体層と、

これら複数の分岐半導体層先端に接続された複数の電極部と、

前記半導体層上の前記分岐半導体層の分岐点近傍にゲート絶縁膜を介して各々配列された複数のゲート電極と、

ゲート絶縁膜を介して前記複数の分岐半導体層上に渡って形成された入力ゲート電極と、

前記半導体層上の前記複数のゲート電極の先にゲート絶縁膜を介して形成された転送ゲート電極と、

前記半導体層上の前記転送ゲート電極の先にゲート絶縁

膜を介して形成された出力ゲート電極と、
前記半導体層の前記出力ゲート電極の先に接続された出力電極部と、
前記半導体層の前記転送ゲート電極と前記出力ゲート電極との間に接続された出力電極部とを備えたことを特徴とする単電子転送回路。

【請求項12】 請求項4記載の単電子転送回路において、

前記半導体層上にゲート絶縁膜を介して形成された転送ゲート電極と、

この転送ゲート電極配置部より先で前記半導体層が分岐した第1および第2の分岐半導体層と、

これら第1および第2の分岐半導体層上各々にゲート絶縁膜を介して形成された第1および第2の入力ゲート電極と、

前記第1および第2の分岐半導体層の終端でこれらに接続された電極部と、

この電極部近傍で、前記第1および第2の分岐半導体層上に渡ってゲート絶縁膜を介して形成された出力ゲート電極と、

前記第1の分岐半導体層の前記第1の入力ゲート電極と前記出力ゲート電極との間に接続された第1の出力電極部と、

前記第2の分岐半導体層の前記第2の入力ゲート電極と前記出力ゲート電極との間に接続された第2の出力電極部とを備えたことを特徴とする単電子転送回路。

【請求項13】 請求項1記載の単電子転送回路の制御方法であって、

前記半導体層に前記第1の電界印加手段により前記第1の電界を加え、

前記半導体層に前記第2の電界印加手段のいずれかにより前記第2の電界を加え、

前記半導体層の前記第2の電界印加手段により形成されるチャネル内の前記第1の電界印加手段の配置されている側に誘起された第1のキャリアの流れにより発生する前記半導体層に発生する電流の値により、前記チャネルの前記第2の電界印加手段の配置されている側に保持された第2のキャリアの個数を検知することを特徴とする単電子転送回路の制御方法。

【請求項14】 請求項13記載の単電子転送回路の制御方法において、

前記第1のキャリアは正孔または電子であり、
前記第2のキャリアは電子または正孔であることを特徴とする単電子転送回路の制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、1個の電子または正孔を転送する単電子転送回路およびこの制御方法に関する。

【0002】

【従来の技術】単電子素子は、電子1個の静電エネルギーに基づくクーロンブロック効果を利用し、電子の伝導を制御する電子素子である。なお、以降では、「単電子」という用語を用いるが、正孔の伝導の場合も含むものとする。単電子素子の代表例ともいえる単電子トランジスタは、微小な伝導体島が、トンネル容量を介してソース・ドレイン電極につながり、非トンネル容量を介してゲート電極につながった構造を有している。

【0003】上記伝導体島を経由するソース・ドレイン間の電流は、ゲート電圧に対して周期的なオンオフ特性を示す。単電子トランジスタは、いわば電子1個のエネルギーを利用した電流スイッチである。また、同時に、高感度のエレクトロメータであり、例えば、電子1個を保持する単電子メモリセルの近傍に作製し、電子1個の有無を検知するのに用いることができる。

【0004】一方、電子1個だけを転送するといった究極的な電子操作が可能となるのが、単電子転送回路である。単電子転送回路を構成する素子の代表例は、単電子ターンスタイル、段電子ポンプと呼ばれる単電子素子であり、複数の微小な伝導体島がトンネル容量を介して連結された構造が必要となる。複数の伝導体島が連結された構造の中で、各々の伝導体島に付与されたゲート電極電圧に、順次パルス状電圧を印加することにより、1個の電子を転送することが可能となる。

【0005】このような単電子転送回路の応用例としては、電子を正確に1個ずつ転送できる長所を生かした電流標準・容量標準への応用、電子1個を情報の1ビットに対応させた論理集積回路への応用が提案され、これらの検討が進められている。後者としては、例えば、単電子2分決定ダイアグラム素子(BDD素子)があり、これでは、論理処理後の電子1個あるいは0個を検出して出力信号とする際、単電子トランジスタを用いるのが常套手段である。

【0006】上述したような特徴を有する単電子転送回路についてまず問題となるのは、単電子トランジスタなどの伝導体島1個から構成される素子と比較し、作製が容易ではないことである。これは、伝導体島とトンネル容量の積層構造といった、複雑な構造を作製するという技術的な困難に起因している。物理研究の対象として極低温で動作する大きなサイズの素子ならまだしも、室温動作を目指したごく微小な単電子素子の作製は、いっそう困難になる。

【0007】複数の電荷結合素子からなる電荷結合装置(Charge-Coupled Device: CCD)は、1970年に考案され、現在イメージセンサとして幅広く実用化されている。CCDは、シリコン基板に作製された複数のMOSダイオードからなるものであり、チャネルに保持される電荷を順次転送することによって、時系列信号処理を可能としている。CCDも単電子転送回路も、電荷を保持しこれを転送する機能を有しているといった点で類

似している。

【0008】CCDのMOSダイオードチャネルは、単電子素子の伝導体島に相当し、電荷保持部になる。電荷転送は、この電荷保持部間で行われる。しかし、単電子転送素子の場合、電子1個のみを安定に保持・転送するために、電荷保持部間にトンネル容量を設け、クーロンブロッケード効果を利用するのが、従来の方法であった。

【0009】ところで、単電子トランジスタにせよ単電子転送素子にせよ、P形にして正孔をキャリアとすることが可能となる。実際に、正孔をキャリアとして用いた単電子トランジスタ（単正孔トランジスタと呼ぶ場合もある。）の動作が報告されている。しかし、電子と正孔を共存させて用いる単電子素子の検討はあまりない。

【0010】

【発明が解決しようとする課題】以上のように、単電子転送回路は、トンネル容量の集積構造という複雑な構造のため、製造が困難であるという問題があった。また、転送されている電子1個の有無を検出しようとする場合、その都度付加的な単電子トランジスタを設けなければならないという点でも、回路作製の煩雑化が生じる。

【0011】本発明は、以上のような問題点を解消するためになされたものであり、1個の電子または1個の正孔を転送し、また、1個の電子または1個の正孔の転送状態を容易に検出できる単電子転送回路を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の単電子転送回路は、基板上に形成された絶縁層と、この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、この半導体層の第1の側方より第1の電界をかける第1の電界印加手段と、半導体層に第2の側方より第1の電界とは極性の異なる第2の電界をかける第2の電界印加手段とを備え、少なくとも第2の電界印加手段は2つ以上備えられ、これらが半導体層の延在方向に配列されているものである。この発明によれば、配列されたいずれかの第2の電界印加手段により第2の電界が加えられているとき、この領域の半導体層に形成されるチャネルにおいて、第2の側方側に電子または正孔が保持される。

【0013】上記発明において、半導体層の一部に、他の領域より細く形成された単電子島と、この単電子島の半導体層の延在方向の両端に配置されたトンネル障壁とを備え、複数配列された第2の電界印加手段のいずれかが単電子島に第2の電界をかけるものとしてもよい。トンネル障壁は、例えば、この領域を単電子島よりさらに細く形成することなどにより実現できる。

【0014】上記発明において、基板は半導体から構成され、この基板が第1の電界印加手段であり、第2の電界印加手段は、半導体層上にゲート絶縁膜を介して配列された複数のゲート電極である。また、第1の電界印加

手段は、半導体層の一方の側面にゲート絶縁膜を介して配列された複数の第1のゲート電極であり、第2の電界印加手段は、半導体層の他方の側面にゲート絶縁膜を介して第1のゲート電極に対向して配列された複数の第2のゲート電極である。

【0015】本発明の単電子転送回路は、第1の電圧が印加される半導体基板上に形成された絶縁層と、この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、この半導体層上にゲート絶縁膜を介して配列された複数のゲート電極とを備え、複数のゲート電極いずれかは、第1の電圧と極性が異なる第2の電圧が印加されるものである。この発明によれば、配列されたいずれかのゲート電極に第2の電圧が印加されているとき、この下の半導体層に形成されるチャネルにおいて、ゲート絶縁膜との界面近くに電子または正孔が保持される。

【0016】本発明の他の形態における単電子転送回路は、半導体基板上に形成された絶縁層と、この絶縁層上に配置されて所定の方向に延在する柱状の半導体層と、この半導体層の側面にゲート絶縁膜を介して配列された複数の第1のゲート電極と、半導体層の他方の側面にゲート絶縁膜を介して第1のゲート電極に対向して配列された複数の第2のゲート電極とを備え、第1のゲート電極と第2のゲート電極との対のいずれかには、互いに極性が異なる電圧が印加されるものである。この発明によれば、配列されたいずれかの第2のゲート電極に電圧が印加されているとき、この領域の半導体層に形成されるチャネルにおいて、第2のゲート電極側のゲート絶縁膜との界面近くに電子または正孔が保持される。

【0017】上記発明において、半導体層の一部に、他の領域より細く形成された単電子島と、この単電子島の半導体層の延在方向の両端に配置されたトンネル障壁と、単電子島にゲート電圧を印加するための制御電極とを備えるようにしてもよい。トンネル障壁の領域は、例えば、単電子島より細く形成されている。

【0018】前述した発明において、単電子転送回路は、半導体層の一端に接続された第1の電極部と、半導体層の他端に接続されて所定の電圧が印加される第2の電極部と、半導体層上の第1の電極部の近くにゲート絶縁膜を介して形成された入力ゲート電極と、半導体層上の第2の電極部の近くにゲート絶縁膜を介して形成された出力ゲート電極と、半導体層上の入力ゲート電極と出力ゲート電極との間のゲート絶縁膜を介して配列された複数の転送ゲート電極と、半導体層の出力ゲート電極とこの隣に配置された転送ゲート電極との間に接続された出力電極部とを備えるものである。

【0019】前述した発明において、単電子転送回路は、半導体層の側方に引き出された複数の分岐半導体層と、これら複数の分岐半導体層先端に接続された複数の電極部と、半導体層上の分岐半導体層の分岐点近傍にゲート絶縁膜を介して各々配列された複数のゲート電極

と、ゲート絶縁膜を介して複数の分岐半導体層上に渡って形成された入力ゲート電極と、半導体層上の複数のゲート電極の先にゲート絶縁膜を介して形成された転送ゲート電極と、半導体層上の転送ゲート電極の先にゲート絶縁膜を介して形成された出力ゲート電極と、半導体層の出力ゲート電極の先に接続された出力電極部と、半導体層の転送ゲート電極と出力ゲート電極との間に接続された出力電極部とを備えるものである。

【0020】前述した発明において、単電子転送回路は、半導体層上にゲート絶縁膜を介して形成された転送ゲート電極と、この転送ゲート電極配置部より先で半導体層が分岐した第1および第2の分岐半導体層と、これら第1および第2の分岐半導体層上各々にゲート絶縁膜を介して形成された第1および第2の入力ゲート電極と、第1および第2の分岐半導体層の終端でこれらに接続された電極部と、この電極部近傍で、第1および第2の分岐半導体層上に渡ってゲート絶縁膜を介して形成された出力ゲート電極と、第1の分岐半導体層の第1の入力ゲート電極と出力ゲート電極との間に接続された第1の出力電極部と、第2の分岐半導体層の第2の入力ゲート電極と出力ゲート電極との間に接続された第2の出力電極部とを備えるものである。

【0021】本発明の単電子転送回路の制御方法は、半導体層に第1の電界印加手段により第1の電界を加え、半導体層に第2の電界印加手段のいずれかにより第2の電界を加え、半導体層の第2の電界印加手段により形成されるチャンネル内の第1の電界印加手段の配置されている側に誘起された第1のキャリアの流れにより発生する半導体層に発生する電流の値により、チャンネルの第2の電界印加手段の配置されている側に保持された第2のキャリアの個数を検知しようとしたものである。上記発明において、第1のキャリアは正孔または電子であり、第2のキャリアは電子または正孔である。

【0022】

【発明の実施の形態】以下、本発明の実施の形態について図を参照して説明する。

<実施の形態1>図1は、本発明の実施の形態における単電子転送回路の構成を簡単に示す平面図と断面図である。図1(b)は、図1(a)のAA'線の断面を示している。この構造では、例えばシリコンからなる基板101上に、絶縁層102を介してシリコンからなる半導体層103を備えている。半導体層103は、絶縁層102上において所定方向に延在する柱状の構造体であり、幅および高さが数nmから数10nmの範囲となっている。なお、半導体層は、シリコンに限るものではなく、他の半導体材料から構成してもよい。

【0023】また、半導体層103上には、ゲート絶縁膜104を介して例えばポリシリコンからなる複数のゲート電極105が、半導体層103の延在方向に配列されている。ゲート電極105のゲート長および各々のゲ

ート電極105の間隔は、数nm〜数100nm程度とする。

【0024】このことにより、ゲート電極105直下の半導体層103に形成されるチャンネルに、電子もしくは正孔1個程度の少数電荷を保持させることができる。なお、図1では、ゲート電極105が半導体層103をまたぐように配置しているが、これに限るものではなく、ゲート電極105により与えられる電界により、半導体層103にチャンネルが形成できる状態となっていればよい。

【0025】つぎに、以上のように構成された単電子転送回路の動作について説明する。例えば、ゲート電極105に所定のゲート電圧を印加して半導体層103にチャンネルが形成された状態で、このチャンネルに光を照射した場合を考える。チャンネルに光が照射されると、半導体層103には電子正孔対が生成する。このとき、基板101に負の電圧($-V_{sub}$)、ゲート電極105に正の電圧(V_g)を印加しておくこと、図2のエネルギーバンドダイアグラムに示すように、電子201と正孔202とが空間的に分離された状態となる。

【0026】上述したように、基板101とゲート電極105との異なる電圧を印加すると、ゲート電極105と基板101との間に生じる大きな電界により、ゲート電極105側の半導体層103とゲート絶縁膜104との界面(上側界面)に、電子201が局在する。一方、この状態では、正孔202が、基板101側の半導体層103と絶縁層102との界面(下側界面)に局在する。この空間的な分離のため、電子201と正孔202とは、半導体層103中に安定して存在できる。このような状態とするために印加する電界の強さは、 $10^5 \text{ V/cm} \sim 10^6 \text{ V/cm}$ 程度とすればよい。なお、この電界の強さは、図1に示す各構造の状態によって適宜最適な値を設定する。

【0027】ここで、図2に示したバンドダイアグラムについて説明すると、これは、図1(b)のC-C'断面における、上側界面の伝導帯端と下側界面の価電子帯を示したものである。ゲート電極105直下の上側界面には、ゲート電極に印加された正のゲート電圧により、電子201を保持するポテンシャル井戸が形成される(図2(b))。一方、下側界面では、ゲート電圧の影響は小さく、ポテンシャル井戸がほとんど形成されず、負の基板電圧により引き寄せられた正孔202が、全体に広がって保持されていることがわかる。

【0028】以上説明したように、図1に示す単電子転送回路によれば、ゲート電圧および基板電圧を制御することにより、電子と正孔の分離保持が可能となる。なお、ゲート電極105に負のゲート電圧を印加し、基板101に正の基板電圧を印加すれば、正孔を上側界面に保持し、電子を下側界面に保持することができる。なお、基板101は、シリコンに限らず、他の半導体材料

から構成してもよい。

【0029】＜実施の形態2＞つぎに、本発明の他の形態について説明する。図3は、本発明の他の形態における単電子転送回路を用いた光検出回路の構成を模式的に示す平面図である。この光検出回路は、図示していない基板上に形成された絶縁層302上に、図3の紙面左右方向に延在する半導体層303を備えている。半導体層303は、前述した半導体層103と同様であり、所定の方向に延在する柱状の構造体であり、幅および高さが数nmから数10nmの範囲となっている。

【0030】半導体層303は、一端に正孔吸い込み用の電極部303-1を備え、他端に電源310に接続する電極部303-2を備えている。電極部303-1、303-2は、P形の不純物が高濃度に導入された不純物領域303-1a、303-2aにより、電極として機能する。

【0031】半導体層303の電極部303-1近傍上には、図示していないゲート絶縁膜を介して入力ゲート電極305-1を備えている。入力ゲート電極305-1とこの下の半導体層303とにより、光検出部311を構成している。一方、半導体層303の電極部303-2近傍上には、ゲート絶縁膜を介して出力ゲート電極305-2を備えている。

【0032】また、これら入力ゲート電極305-1と出力ゲート電極305-2との間の半導体層303上には、ゲート絶縁膜を介して転送ゲート電極A305-3と転送ゲート電極B305-4とを備えている。これらゲート電極は、図1に示したゲート電極105と同様であり、各ゲート電極のゲート長および各々の間隔は、数nm～数100nm程度である。

【0033】加えて、転送ゲート電極B305-4と出力ゲート電極305-2の間の領域において、半導体層303は分岐半導体層303aを備え、この分岐半導体層303aの先端に出力電極部303-3を備えている。この出力電極部303-3においても、P形の不純物が高濃度に導入された不純物領域303-3aを備え、これにより電極として機能している。

【0034】出力ゲート電極305-2、電極部303-2、および出力電極部303-3で、出力される単電子を検出する出力単電子検出部312を構成している。このようにすることで、出力ゲート電極305-2下の半導体層303（チャンネル形成領域）に、電流を流すことができる。なお、照射される光を光検出部311のみに導入するために、光検出部311以外の領域上に、金属などの板部材を配置し、他の電極形成領域には光が進入しないようにする。

【0035】つぎに、図3の光検出回路の動作について説明する。まず、電極部303-2と出力電極部303-3との間に電流を流す。図3では、電極部303-2に正の電圧を加え、出力電極部303-3より電流を取

り出す構成としている。基板電圧を負にバイアスし、絶縁層302と半導体層303との界面（下側下面）に正孔を誘起することで、電極部間を正孔がキャリアとして運ばれる状態とする。このことにより、2つの電極部間に電流が流れるようになる。

【0036】図4（a）に、上述した正孔による電流（正孔電流）の基板電圧依存性を示す。基板電圧を負の方向にバイアスし、この電圧がある値を超えると、正孔電流が流れだして増加する様子が直線で示されている。この特性は、出力ゲート電極305-2下のチャンネルに保持された電子の個数（ n ）に応じ、異なる直線を通る。例えば、点線で示した基板電圧に固定した場合、 $n=0$ なら、電流は流れない（出力電流Low）。これに対し、 $n=1$ なら電流は流れる（出力信号High）。

【0037】図4（b）は、半導体層303に形成されるチャンネルの上述した状態におけるバンドダイアグラムである。黒丸で示す単電子は、ゲート電極の下の上側界面に保持される。これに対して白丸で示す正孔は、下側界面全域に誘起されて下側界面を流れ、電流を運ぶ。半導体層303が、十分に薄いため、上記正孔による電流は、電子のクーロンポテンシャルの影響を受けることになる。

【0038】例えば、 $n=1$ の場合、 $n=0$ に比較して電子が1個分多く、この引力ポテンシャルの影響を受けて価電子帯のポテンシャルが上がり、正孔に対して影響を与えるポテンシャルは下がり、正孔が流れやすくなる。なお、ゲート電圧を負、基板電圧を正とし、 n 型の不純物を導入して電極部を形成すれば、単正孔保持してこれを転送し、この状態を電子電流により検知する構成となる。

【0039】つぎに、本光検出回路の動作を、図3の電子ポテンシャルの状態を示す説明図（図5）と、各ゲート電極における信号の状態を示すタイミングチャート（図6）を用いて説明する。時刻 t_1 において、光検出部311における光入力により生成された1つの電子正孔対の電子を、入力ゲート電極305-1下のチャンネルの上側界面に保持する（単電子保持）。この際、入力ゲート電極305-1の電圧は、電子1個がこの下の上側界面に保持されるように、適当な値に設定する。光入力により生成された正孔は、電極部303-1に吸収される。

【0040】続いて、時刻 t_2 付近で、入力ゲート電極305-1の電圧を減らすと共に、転送ゲート電極A305-3の電圧を正に増加する。これにより、入力ゲート電極305-1下の上側界面に保持されていた1個の電子が、転送ゲート電極A305-3下の上側界面に移動し、ここに保持される。すなわち、転送ゲート電極A305-3への単電子転送が行われる。

【0041】引き続き、時刻 t_3 付近で、転送ゲートA305-3の電圧を減らすと共に、転送ゲート電極B3

05-4の電圧を正に増加する。これにより、転送ゲート電極305-3下の上側界面に保持されていた1個の電子が、転送ゲート電極B305-4下の上側界面に移動し、ここに保持される。すなわち、転送ゲート電極B305-3への単電子転送が行われる。

【0042】さらに、時刻t4付近で、転送ゲートB305-4の電圧を減らすと共に、出力ゲート電極305-2の電圧を正に増加する。これにより、出力ゲート電極305-2への単電子転送が行われ、この結果、出力電流は「High」の信号を示すことになる。仮に、時刻t1の段階で光入力がないければ、各ゲート電極を転送されてくる電子はないことになり、出力電流は「Low」となる。このように、本発明の電荷転送回路を用いた図3の光検出回路によれば、光検出部311に対する光照射で生じた単電子を、自在に転送して電流出力に変換することが可能となる。

【0043】＜実施の形態3＞つぎに、本発明の他の形態について説明する。図7は、本発明の単電子転送回路を用いた1次元イメージセンサの構成を示す平面図である。この1次元イメージセンサは、図示していない基板上に形成された絶縁層702上に、図7の紙面左右方向に延在する半導体層703を備えている。半導体層703は、前述した半導体層103と同様であり、所定の方向に延在する柱状の構造体であり、幅および高さが数nmから数10nmの範囲となっている。

【0044】半導体層703上には、図示していないゲート絶縁膜を介してゲート電極705-1、705-2、705-3、転送ゲート電極705-4、および出力ゲート電極705-5を備えている。ゲート電極705-1、705-2、705-3により、シフトレジスタが構成される。これらゲート電極は、図1に示したゲート電極105と同様であり、各ゲート電極のゲート長および各々の間隔は、数nm～数100nm程度である。

【0045】また、半導体層703より分岐する分岐半導体層703a、703b、703cの先に、正孔吸い込み用の電極部703-1、703-2、703-3を備えている。また、半導体層703の出力ゲート電極705-5形成領域の先には、電源710に接続する電極部703-4を備え、転送ゲート電極705-4と出力ゲート電極705-5の間より半導体層703から分岐する分岐半導体層703dの先端に、出力電極部703-5を備えている。

【0046】これら電極部703-1、703-2、703-3、703-4、703-5は、P形の不純物が高濃度に導入された不純物領域703-1a、703-2a、703-3a、703-4a、703-2a5より、電極として機能する。加えて、分岐半導体層703a、703b、703c上には、図示していないゲート絶縁膜を介して入力ゲート電極705-6を備え、光検

出領域711を構成している。

【0047】また、出力ゲート電極705-5、電極部703-4、および出力電極部703-5で、出力される単電子を検出する出力単電子検出部712を構成している。このようにすることで、出力ゲート電極705-5下の半導体層703（チャネル形成領域）に、電流を流すことができる。なお、照射される光を光検出部711のみに導入するために、光検出部711以外の領域上に、金属などの板部材を配置し、他の電極形成領域には光が進入しないようにする。

【0048】図7に示す1次元イメージセンサの動作について簡単に説明すると、光検出領域711に光が入射すると、入力ゲート電極705-6下の分岐半導体層703a、703b、703c各々の上側界面に、各々1つの電子（単電子）が保持される。つぎに、入力ゲート電極705-6の電圧を負にし、ゲート電極705-1、705-2、705-3の全てに正の電圧を印加することにより、入力下と電極705-6下に保持された単電子が、各々ゲート電極705-1、705-2、705-3下の上側界面に保持された状態とする。

【0049】すなわち、入力ゲート電極705-6に入力された入力信号を、ゲート電極705-1、705-2、705-3からなるシフトレジスタに転送する。続いて、ゲート電極705-1、705-2、705-3、および転送ゲート電極705-4、出力ゲート電極705-5の各々に、単電子を転送する信号を加えることにより、半導体層703の上側界面に保持されている単電子を、電極部703-4方向に転送する。

【0050】以上のことにより、出力電極部703-5より、図8に示すように時間と共に変化する出力電流が出力される。図8において、実線は、分岐半導体層703a、703cに光が入力し、分岐半導体層703bには光が入力しなかった場合の出力電流の状態を示している。分岐半導体層703a、703b、703c全ての領域に光が入力すると、実線に加え、出力信号に点線の変化も起こる。このように、図7の1次元イメージセンサによれば、入力した光信号により発生した単電子の転送を用いた時系列的な信号処理が可能となる。

【0051】＜実施の形態4＞つぎに、本発明の他の形態について説明する。図9は、トンネル性容量（トンネル障壁）を組み合わせた本発明の単電子転送回路の構成を示す平面図である。この単電子転送回路は、図示していない基板上に形成された絶縁層902上に、図9の半導体層903を備えている。半導体層903は、矩形的領域からなる電極部903-1と、この電極部903-1に連続する細線部903aと、この細線部903aに連続する幅拡部903bと、この幅拡部903bに連続して電流計910aおよび電源910に接続する電極部903-2とから構成されている。なお、各電極部には、不純物領域903-1a、903-2aが形成さ

れ、これにより、電極として機能する。

【0052】電極部903-1、903-2は、幅400nm程度であり、細線部903aは、幅30nm程度であり、幅拡部903bは、幅100nm程度である。また、細線部903aは、長さを50nm程度としてある。また、半導体層903の厚さは、30nm程度であるが、細線部903aは厚さを10nm程度とし、かつ細線部903aの両端部、すなわち、電極部903-1および幅拡部903bとの接続部に近い領域は、厚さ5nm程度としてある。細線部903aの構成は、例えば、パターン依存性酸化により形成できる（特開平9-135018号公報参照）。

【0053】したがって、細線部903aの両端部には、トンネル性容量（トンネル障壁）931が形成され、細線部903aの中央部分は、単電子島となっている。この構成とすることにより、クーロンブロッケード効果を用い、正確に1個の電子を単電子島に注入できる。以上のように構成した半導体層903上には、図示していないゲート絶縁膜を介し、まず、細線部903aの中央部（単電子島）上に、転送ゲート電極A（制御電極）905-1を備えている。また、幅拡部903a上には、上記ゲート絶縁膜を介して転送ゲート電極B905-2を備えている。

【0054】つぎに、図9に示す単電子転送回路の動作について簡単に説明する。図10は、電流標準として用いるための単電子転送動作を示す電子ポテンシャルプロファイル（a）と、これら動作を行うための制御電圧のタイミングを示すタイミングチャート（b）である。

【0055】まず、時刻t1の初期状態では、半導体層930のチャネル部に電子は存在しない。時刻t2において、転送ゲート電極A905-1に正の電圧を印加し、転送ゲート電極B905-2に負の電圧を印加すると、電極部903-1から転送ゲート電極A905-1下の単電子島へ、1個の電子がトンネルする。

【0056】このとき、単電子島を挟む2つのトンネル性容量931によるクーロンブロッケード効果により、単電子島へ2個目の電子がトンネルしてくることはない。また、転送ゲート電極B905-2には分電圧が印加されているので、単電子島から転送ゲート電極B905-2下へ電子が通り抜けてしまうことがない。

【0057】続いて、時刻t3に、前述の実施の形態と同様に、単電子転送を行う。最後に、時刻t4で、電極部903-2に電子を送り込む。この際、転送ゲート電極A905-1の電圧は負の状態とし、電子が逆方向に戻ってくるのを防ぐ。以上のことにより、電極部903-1から電極部903-2に1個の電子が運ばれる。これら操作にかかる時間Tを周期とした繰り返し転送操作を行うことにより、図9に示した電流Iは、正確に $I = e/T$ （eは素電荷量）となる。

【0058】＜実施の形態5＞つぎに、本発明の他の形

態について説明する。図11は、本発明の単電子転送回路を用いた2分岐スイッチ回路（BDD）の構成を示す平面図である。このBDDは、図示していない基板上に形成された絶縁層1102上に、図11の紙面左右方向に延在する半導体層1103を備えている。半導体層1103は、前述した半導体層103と同様であり、所定の方向に延在する柱状の構造体であり、幅および高さが数nmから数10nmの範囲となっている。

【0059】また、半導体層1103は、一端側より所定の箇所2つの領域1103a、1103bに分岐し、この先で電極部1103-1に各々接続している。領域1103aの途中には、電極接続領域1103cを介して出力電極部1103-2が接続されている。同様に、領域1103bの途中には、電極接続領域1103dを介して出力電極部1103-3が接続されている。

【0060】これら半導体層1103および各電極部は、本実施の形態においては、半導体層1103と同一の材料から構成され、例えばシリコンである。なお、電極部1103-1、出力電極部1103-2、1103-3には、不純物領域1103-1a、1103-2a、1103-3aが形成され、これにより、電極として機能する。

【0061】また、半導体層1103上には、図示していないゲート絶縁膜を介し、転送ゲート電極1105-1、入力ゲート電極A1105-2、入力ゲート電極B1105-3、および出力ゲート電極1105-4が形成されている。転送ゲート電極1105-1は、半導体層1103の分岐する手前に配置されている。

【0062】入力ゲート電極1105-2は、領域1103aの電極接続領域1103c手前に配置され、入力ゲート電極1105-3は、領域1103bの電極接続領域1103d手前に配置されている。また、出力ゲート電極1105-4は、電極接続領域1103c、1103dと電極部1103-3との間で、領域1103aと領域1103bとに渡って配置されている。

【0063】図11に示したBDDでは、転送されてきた単電子を、転送ゲート電極1105-1から出力ゲート電極1105-4に転送する間に、チャネルを分岐した上、さらに各々の領域1103a、1103bに、入力ゲート電極1105-2、1105-3を付加している。

【0064】例えば、入力ゲート電極1105-2に正電圧の入力があり、入力ゲート電極1105-3には入力がない場合、転送ゲート電極1105-1より転送される単電子は、領域1103aを通して出力ゲート電極1105-4に転送される。したがって、出力電極部1103-2（出力電流1）は「High」となり、出力電極部1103-3（出力電流2）は「Low」となる。このような2分岐スイッチを集積化することにより、1個の電子を1ビットとした単電子BDD集積論理

回路を実現することができる。

【0065】＜実施の形態6＞つぎに、本発明の他の形態について説明する。図12は、本発明の単電子転送回路の他の形態を示す平面図(a)、断面図(b)である。この構造では、例えばシリコンからなる基板1201上に、絶縁層1202を介してシリコンからなる半導体層1203を備えている。これは、図1の単電子転送回路と同様である。

【0066】図12の形態では、半導体層1203の両脇に、ゲート絶縁膜1204を介して例えばポリシリコンからなる複数のゲート電極1205a、1205bの対が、半導体層1203の延在方向に配列されているようにした。ゲート電極1205aとゲート電極1205bは、半導体層1203を介して互いに対向して配置されている。ゲート電極1205a、1205bゲート長および、各々のゲート電極1205a、1205bの対の間隔は、数nm～数100nm程度とする。

【0067】このことにより、ゲート電極1205a、1205bの対に挟まれた半導体層1203に形成されるチャンネルに、電子もしくは正孔1個程度の小数電荷を保持させることができる。また、この構成においては、光入力などにより生成された電子正孔対は、例えば正のゲート電圧が印加されるゲート電極1205aの側と、これに対向配置し負の電圧が印加されるゲート電極1205bの側とに、分離保持される。

【0068】図13(a)は、図12(b)のC-C'における本単電子転送回路のエネルギーバンドダイアグラムである。また、図13(b)、(c)、(d)は、図12(a)のB-B'方向の半導体層1203における伝導帯端(図12(b)右側界面)と価電子帯(図12(b)左側界面)のエネルギープロファイルを示す説明図である。これらは、ゲート電極1205aに正電圧+V1が印加され、ゲート電極1205bに負電圧-V2が印加された状態を示している。なお、黒丸が電子を示し、白丸が正孔を示している。

【0069】図13(b)、(c)、(d)からわかるように、V1とV2の関係を変えることにより、半導体層1203の延在方向のポテンシャルプロファイルは制御できる。例えば、図8(c)に示すように、 $V1=V2$ とすることで、電子と正孔を共に局在させることができる。また、 $V1 \gg V2$ とすることで、電子のみを局在させることができる。また、 $V1 \ll V2$ とすることで、正孔のみを局在させることができる。したがって、正孔電流を流したい場合や、電子電流を流したい場合など所望の状況を作り出すことが可能となる。

【0070】なお、上述では、ゲート電極は単層で構成するようにしたが、2層以上に積層するようにしてもよい。例えば、図3に示した構成において、複数のゲート電極を全て覆うように、絶縁膜を介して上層ゲート電極を備えるようにしてもよい。このとき、各電極部は上層

ゲート電極で覆わないようにする。このようにすることで、上層ゲート電極をマスクとしたイオン注入により、選択的に電極部に不純物を導入することができる。

【0071】以上説明した本発明の単電子転送回路は、微小なCCD(複数のMOSダイオード)ともいえ、チャンネルに印加された電界により、電子と正孔をチャンネル内の別々の場所に誘起するようにしたものである。これに、必要に応じて電子あるいは正孔を入出力する電極を設けることで、光検出回路などに応用できる。

【0072】さらに、トンネル性容量または複数のトンネル性容量の組み合わせにより接続された電極部を備えることで、電子あるいは正孔を正確に1個だけ入出力することができる。本発明の単電子転送回路は、多数のトンネル容量の作製を必要とせず、単電子あるいは単正孔の転送が可能となる。また、単電子、単正孔各々の存在を検知する手段として、電子正孔間クーロン相互作用を利用するものである。例えば、保持された単電子を検知する場合、正孔を電流として流し、個の正孔電流レベルが電子によるクーロンポテンシャルにより、電子個数に応じた離散的な値を示すことを利用する。

【0073】

【発明の効果】以上説明したように、本発明によれば、多数のトンネル容量を作成しなくても、1個の電子または1個の正孔を転送し、また、1個の電子または1個の正孔の転送状態を容易に検出できる単電子転送回路を実現できるという優れた効果が得られる。

【図面の簡単な説明】

【図1】 本発明の実施の形態における単電子転送回路の構成を概略的に示す平面図(a)および断面図(b)である。

【図2】 図1の単電子転送回路におけるエネルギーバンドダイアグラムである。

【図3】 本発明の他の形態における単電子転送回路の構成を概略的に示す平面図である。

【図4】 正孔による電流(正孔電流)の基板電圧依存性を示す説明図(a)と半導体層303に形成されるチャンネルの上述した状態におけるバンドダイアグラム(b)である。

【図5】 図3の単電子転送回路における電子ポテンシャルの状態を示す説明図である。

【図6】 各ゲート電極における信号の状態を示すタイミングチャートである。

【図7】 本発明の他の形態における単電子転送回路の構成を概略的に示す平面図である。

【図8】 出力電極部703-5より出力される電流の時間と共に変化する様子を示す説明図である。

【図9】 トンネル性容量を組み合わせた本発明の単電子転送回路の構成を示す平面図である。

【図10】 電流標準として用いるための単電子転送動作を示す電子ポテンシャルプロファイル(a)と、これ

ら動作を行うための制御電圧のタイミングを示すタイミングチャート(b)である。

【図11】 本発明の単電子転送回路を用いた2分岐スイッチ回路(BDD)の構成を示す平面図である。

【図12】 本発明の単電子転送回路の他の形態を示す平面図(a)、断面図(b)である。

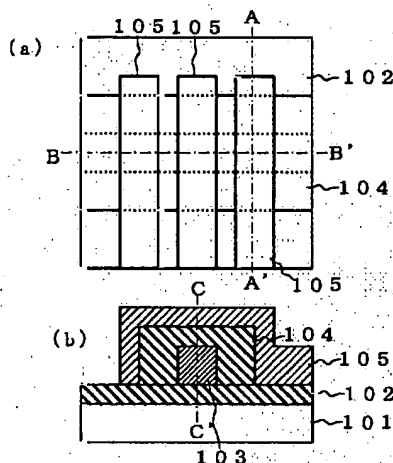
【図13】 図12の単電子転送回路のエネルギーバン

ドダイアグラム(a)および半導体層1203における伝導帯端と価電子帯のエネルギープロフィールを示す説明図(b)、(c)、(d)である。

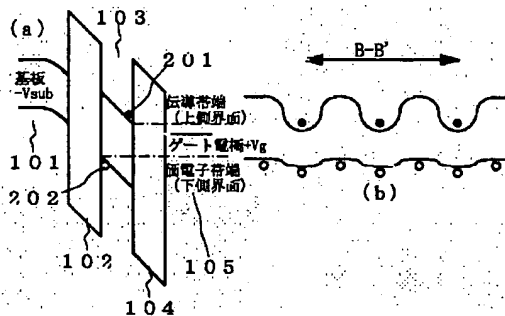
【符号の説明】

101…基板、102…絶縁層、103…半導体層、104…ゲート絶縁膜、105…ゲート電極。

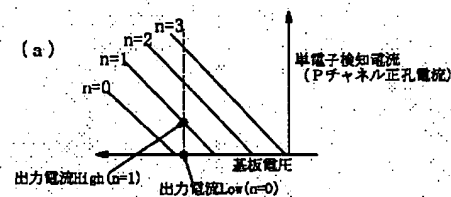
【図1】



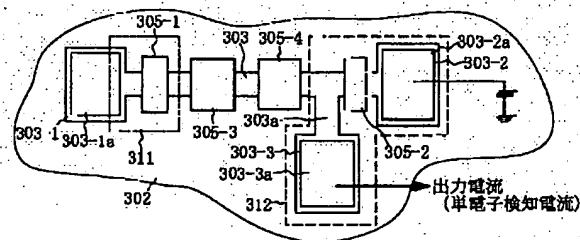
【図2】



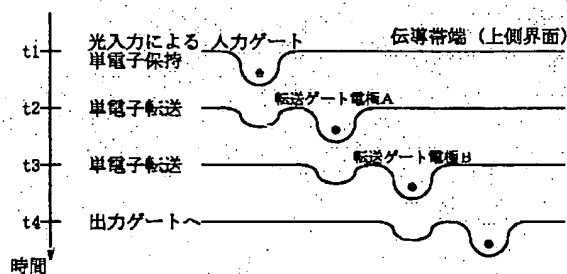
【図4】



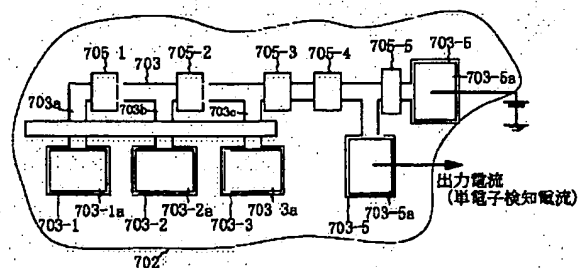
【図3】



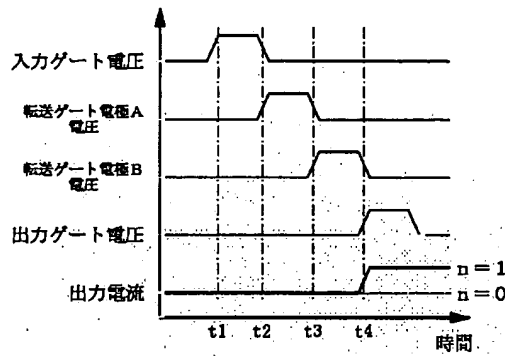
【図5】



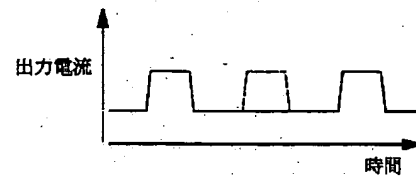
【図7】



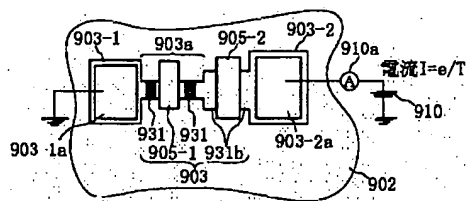
【図6】



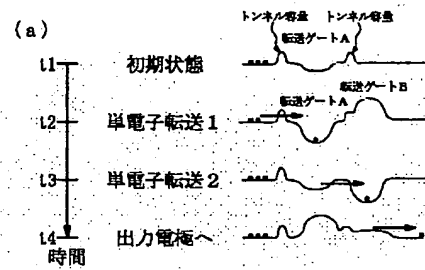
【図8】



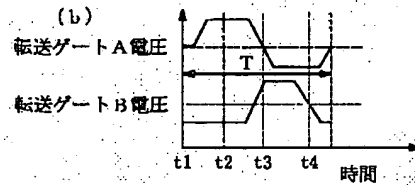
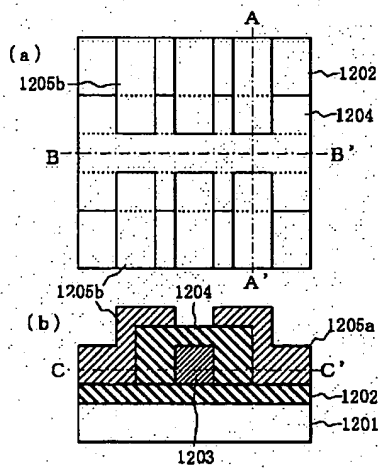
【図9】



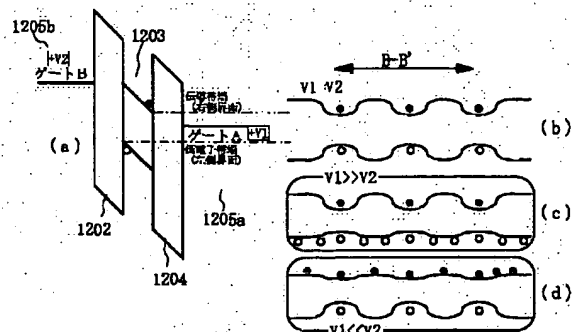
【図10】



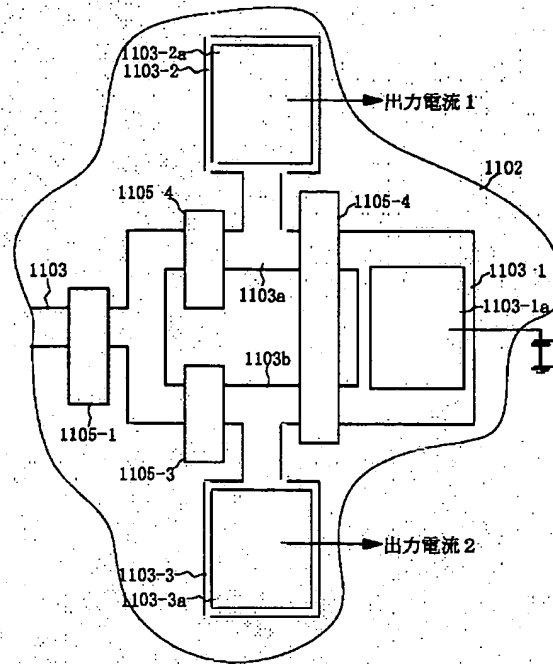
【図12】



【図13】



【図11】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☒ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.